

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international(43) Date de la publication internationale
31 décembre 2003 (31.12.2003)

PCT

(10) Numéro de publication internationale
WO 2004/001973 A1(51) Classification internationale des brevets⁷ : H03L 7/081

Dominique [FR/FR]; 10, allée du Mijou, F-38240 Meylan (FR).

(21) Numéro de la demande internationale :

PCT/FR2003/001858

(74) Mandataire : RICHARD, Patrick; Brevatome, 03, rue du Docteur Lancereaux, F-75008 Paris (FR).

(22) Date de dépôt international : 18 juin 2003 (18.06.2003)

(25) Langue de dépôt :

français

(81) État désigné (national) : US.

(26) Langue de publication :

français

(84) États désignés (régional) : brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(30) Données relatives à la priorité :

02/07560

19 juin 2002 (19.06.2002) FR

(71) Déposant (pour tous les États désignés sauf US) : COM-
MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR];
31-33, rue de la Fédération, F-75752 Paris 15ème (FR).

Publiée :

— avec rapport de recherche internationale

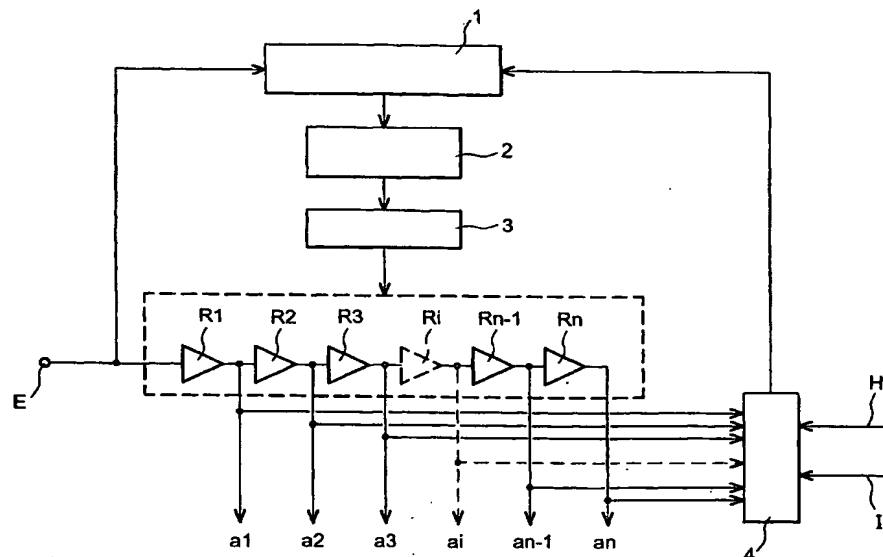
(72) Inventeur; et

(75) Inventeur/Déposant (pour US seulement) : MORCHE,

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(54) Title: DELAY-LOCKED LOOP

(54) Titre : BOUCLE A VERROUILLAGE DE RETARD



(57) Abstract: The invention concerns a delay-locked loop comprising a delay cell string (R1, R2, , Rn) mounted in series, the delay delivered by the loop being sampled at the output of one of the delay cells, the input of the delay cell string being connected to a first input of a phase/frequency detector (1) whereof the second input is connected to an output of the delay cell. The loop comprises control means (4) adapted to modify, timed by a clock signal (H) and under the action of a control information (I), the delay cell output which is connected to the second input of the phase/frequency detector (1). The invention is more particularly useful for generating and measuring delays and for frequency synthesis in mobile communication applications.

[Suite sur la page suivante]



(57) Abrégé : L'invention concerne une boucle à verrouillage de retard comprenant une chaîne de cellules de retard (R1, R2,....., Rn) montées en série, le retard délivré par la boucle étant prélevé sur la sortie de l'une des cellules de retard, l'entrée de la chaîne de cellules de retard étant connectée à une première entrée d'un détecteur de phase/fréquence (1) dont une deuxième entrée est connectée à une sortie de cellule de retard. La boucle comprend des moyens de commande (4) aptes à modifier, au rythme d'un signal d'horloge (H) et sous l'action d'une information de commande (I), la sortie de la cellule de retard qui est connectée à la deuxième entrée du détecteur phase/fréquence (1). L'invention s'applique plus particulièrement à la génération et à la mesure de retards ainsi qu'à la synthèse de fréquence dans les applications mobiles.

BOUCLE A VERROUILLAGE DE RETARD

Domaine technique et art antérieur

L'invention concerne une boucle à verrouillage
5 de retard plus communément appelée boucle DLL (DLL pour
« Delay Locked Loop »).

Les boucles DLL sont communément utilisées pour
aligner en phase deux signaux d'horloge, notamment dans
les mémoires DRAM (DRAM pour « Dynamic Random Access
10 Memory »). Les boucles DLL permettent alors d'obtenir
un très bon synchronisme entre une horloge externe au
circuit intégré et une horloge interne. Les boucles DLL
sont également utilisées pour générer ou mesurer un
retard temporel avec précision, ou encore pour générer
15 des horloges d'échantillonnage de signal (cf. « An
Eight Channel 36GSample/s CMOS Timing Analyser », Dan
Weinlader, Ron Ho, Chih-Kong Ken Yang, Mark Horowitz,
2000 IEEE International Solid-State Circuits
Conference).

20 L'invention s'applique à tous les domaines
mentionnés ci-dessus et, de façon plus particulièrement
avantageuse, à la génération et à la mesure de retards
dans les émetteurs-récepteurs utilisant la technique de
communication de type ultra large bande.

25 Le schéma de principe d'une boucle DLL selon
l'art antérieur est donné en figure 1. La boucle DLL
comprend une chaîne de retard composée de n cellules de
retard R_i ($i=1, 2, 3, \dots, n-1, n$) en série, d'un
détecteur de phase/fréquence 1, d'une pompe de charges
30 2 et d'un filtre de boucle 3. Chaque cellule de retard
introduit un retard Δt identique aux retards des autres

cellules. Le retard Δt peut être contrôlé par un signal qui peut être une tension ou un courant. Chaque cellule de retard peut être réalisée à l'aide d'une paire différentielle. La variation du retard Δt est alors
5 obtenue par la variation du courant de polarisation de la paire différentielle.

L'entrée et la sortie de la chaîne de retard sont appliqués au détecteur de phase/fréquence 1. Le détecteur de phase/fréquence 1 peut être un simple
10 comparateur de phase qui compare les phases des signaux d'entrée et de sortie de la chaîne de retard. Le signal issu du détecteur 1 commande la pompe de charge 2 qui génère alors un courant fonction de la différence de phase entre le signal d'entrée et le signal de sortie
15 de la chaîne de retard. Ce courant est appliqué en entrée du filtre de boucle 3 pour être filtré. Le courant filtré issu du filtre de boucle 3 est appliqué aux cellules de la chaîne de retard pour contrôler le retard des cellules.

20 Le mode de fonctionnement d'une boucle DLL selon l'art connu va maintenant être décrit.

Un signal de période T est appliqué sur l'entrée de la chaîne de retard. Lorsque la boucle DLL est stabilisée, les signaux en entrée et en sortie de
25 la chaîne de retard sont en phase. Le retard entre ces deux signaux est alors égal à T . Puisque toutes les cellules de retard sont identiques, le retard apporté par une cellule est égal à T/n . On dispose alors, en plus du signal d'horloge appliqué en entrée de la
30 chaîne de retard, de n signaux d'horloge a_i ($i=1, 2, 3, \dots, n-1, n$), un signal a_i étant décalé de l'intervalle

de temps iT/n par rapport au signal d'horloge appliqué en entrée de la chaîne de retard. Les différents signaux ai peuvent être utilisés pour mesurer un retard, générer un retard, synthétiser un signal de
5 fréquence, reconstruire des signaux, et..

Un avantage de ce type de structure est la faible consommation. Cependant, plusieurs inconvénients peuvent être soulignés.

Ainsi, générer un retard mT/n peut-il conduire
10 à utiliser un nombre n de cellules élevé. Par exemple, un retard de $13T/100$ ($m=13$ et $n=100$) nécessite l'utilisation de cent cellules de retard.

Par ailleurs, la structure est limitée en fréquence par le retard minimum T_{min} qu'impose chaque
15 cellule de retard élémentaire. Lorsqu'on travaille à fréquence maximale, il n'est en effet pas possible de générer un retard qui ne soit pas un multiple entier de T_{min} .

L'invention ne présente pas ces inconvénients.
20

Exposé de l'invention

En effet l'invention concerne une boucle à verrouillage de retard comprenant une chaîne de cellules de retard montées en série, un signal de
25 retard délivré par la boucle étant prélevé sur la sortie d'une des cellules de retard, l'entrée de la chaîne de cellules de retard étant connectée à une première entrée d'un détecteur de phase/fréquence dont une deuxième entrée est connectée à une sortie de
30 cellule de retard. La boucle de retard comprend des moyens de commande aptes à modifier, au rythme d'un

signal d'horloge et sous l'action d'une information de commande, la sortie de la cellule de retard qui est connectée à la deuxième entrée du détecteur phase/fréquence.

5 La boucle à verrouillage de retard selon l'invention permet ainsi de modifier le nombre de cellules de retard vu par le détecteur de phase/fréquence. Cette modification permet de produire un retard élémentaire de chaque cellule de retard
10 différent du retard élémentaire T/n obtenu selon l'art antérieur.

 Comme cela apparaîtra dans la suite de la description, le retard d'une cellule de retard élémentaire peut alors être un retard fractionnaire. Il
15 est ainsi possible d'obtenir une boucle DLL fractionnaire.

 Une modification du nombre de cellules de retard vues par le détecteur de phase/fréquence peut se faire à chaque coup d'horloge du signal appliqué en
20 entrée de la chaîne de retard. Cette modification peut également se faire à une fréquence plus faible.

 L'utilisation d'un nombre de cellules de retard inférieur au nombre total de cellules de retard disponibles présente également l'avantage de réduire la
25 consommation de la boucle DLL. De plus, la fréquence de travail maximum est augmentée puisque cette fréquence maximum est inversement proportionnelle à la quantité NT_{min} , où N est le nombre de cellules de retard utilisées et T_{min} est le délai minimal apporté par une
30 cellule de retard élémentaire.

Brève description des figures

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture d'un mode de réalisation préférentiel de l'invention fait en
5 référence aux figures jointes parmi lesquelles :

- la figure 1 représente une boucle à verrouillage de retard selon l'art antérieur ;
- la figure 2 représente une boucle à verrouillage de retard selon un premier mode de réalisation de
10 l'invention ;
- la figure 3 représente un exemple de boucle à verrouillage de retard selon le premier mode de réalisation de l'invention ;
- la figure 4 représente une boucle à verrouillage de retard selon un deuxième mode de réalisation de
15 l'invention ;
- les figure 5A et 5B représentent, respectivement, un perfectionnement de la boucle à verrouillage de retard selon le premier mode de réalisation de
20 l'invention et un perfectionnement de la boucle à verrouillage de retard selon le deuxième mode de réalisation de l'invention.

Sur toutes les figures, les mêmes références désignent les mêmes éléments.

25

Description détaillée de modes de mise en œuvre de l'invention

La figure 1 a été décrite précédemment ; il est donc inutile d'y revenir.

30 La figure 2 représente une boucle à verrouillage de retard selon un premier mode de

réalisation de l'invention.

Outre les éléments déjà mentionnés en description de la figure 1, une boucle DLL selon le premier mode de réalisation de l'invention comprend des
5 moyens de multiplexage 4. Les moyens de multiplexage 4 comprennent n entrées de signal, une sortie de signal, une entrée d'horloge et une entrée de commande.

Chaque entrée de signal des moyens de multiplexage 4 est reliée à un signal retardé a_i différent ($i=1, 2, \dots, n$). La sortie de signal est
10 reliée à l'une des entrées du détecteur de phase/fréquence 1. Le signal qui, parmi les signaux appliqués en entrée du multiplexeur, est appliqué sur l'entrée du détecteur de phase/fréquence 1 est
15 déterminé par un signal d'horloge H appliqué sur l'entrée d'horloge et par une information I appliquée sur l'entrée de commande. A chaque coup du signal d'horloge H, le signal appliqué au détecteur de phase/fréquence est choisi en fonction de l'information
20 I. L'information I effectue ainsi la sélection du séquençement des signaux qui sont appliqués, au rythme du signal d'horloge H, en entrée du détecteur de phase/fréquence.

Le signal d'horloge H peut être le même signal
25 que le signal d'horloge appliqué en entrée de la chaîne de retard ou un signal d'horloge différent. L'information I peut être une information périodique ou non périodique.

De façon générale, la modification du nombre de
30 cellules de retard vues par le détecteur de phase/fréquence peut avoir lieu à chaque coup d'horloge

du signal d'horloge H ou à une fréquence plus faible. Cette modification peut être mise en œuvre de telle sorte que la valeur moyenne du nombre de cellules de retard vues par le détecteur de phase/fréquence est choisie à l'avance en fonction du retard fractionnel que l'on cherche à obtenir. A titre d'exemple, la valeur moyenne du nombre de cellules de retard vues par le détecteur peut être obtenue en effectuant une moyenne pondérée et en utilisant comme pondération pour chaque cellule de retard le nombre de coup d'horloge de l'horloge H pendant lequel le nombre de cellules de retard est effectif. Il existe alors une relation entre le nombre moyen de cellules de retard utilisées NC et le retard Δt d'une cellule élémentaire, à savoir :

15

$$\Delta t = T/NC$$

A titre d'illustration des performances d'une boucle DLL selon l'invention, un exemple non limitatif va maintenant être donné. On considère une chaîne de retard qui comprend dix cellules de retard ($n=10$). On suppose que l'horloge H qui commande le multiplexage est identique, à un retard près, à l'horloge qui est appliquée en entrée de la chaîne de retard. Le signal appliqué au détecteur de phase/fréquence est différent à chaque coup d'horloge de la fréquence d'entrée. On suppose également, dans cet exemple, que le signal sélectionné par l'information I pour être appliqué en entrée du détecteur de phase/fréquence est une alternance des signaux a_{10} et a_9 . La phase moyenne qui est comparée par le détecteur de phase/fréquence est

30

alors égale à $9.5 \Delta t$, où Δt est le retard d'une cellule de retard élémentaire. Il vient donc la relation:

$$\Delta t = 2T/19$$

Il est alors possible de générer des retards égaux à
5 $2T/19, 4T/19, \dots, 18T/19$ avec une chaîne de dix retards.
Pour obtenir un tel résultat à l'aide une boucle DLL
selon l'art antérieur, dix-neuf retards sont
nécessaires.

Il va maintenant être décrit comment, de façon
10 plus générale, générer un retard quelconque à partir
d'une boucle DLL fractionnaire simple. Par boucle DLL
fractionnaire simple, il faut entendre une boucle DLL
qui n'utilise, pour le multiplexage, que deux signaux
de retard successifs, par exemple les signaux a_{n-1} et
15 a_n .

On suppose que les signaux a_{n-1} et a_n sont
respectivement utilisés pendant p coups d'horloge et $q-p$
coups d'horloge. La valeur moyenne du retard apporté
par la chaîne de retard est alors égale à $(n-p/q)\Delta t$. La
20 valeur du retard d'une cellule élémentaire est alors
donnée par la relation :

$$\Delta t = q T / (qn - p)$$

A titre d'exemple non limitatif, pour une
chaîne de retard comprenant dix cellules de retard et
25 en supposant que I est un signal périodique de période
 $100T$ ($q=100$ et la valeur moyenne d'un retard est alors
obtenue sur 100 points), il vient donc:

$$\Delta t = 100T / (1000 - p)$$

Une évaluation du nombre p conduit alors à :

30
$$P = \text{PART}[1000 - 100T/\Delta t].$$

où $\text{PART}[X]$ représente la partie entière de X .

Pour réaliser un retard fractionnaire égal à aT/b en sortie de la cellule de retard de rang k , a et b étant deux nombres entiers quelconques, il faut poser :

$$\begin{aligned} k \Delta t &= a T/b, \text{ soit} \\ a T/b &= k q T/(q n-p) \end{aligned}$$

Il apparaît donc un système de 2 équations à 4 inconnues p , q , n , k , chaque inconnue étant un nombre entier. Un tel système d'équations a toujours des solutions.

Par exemple, pour réaliser un retard égal à $13T/100$, la solution est la suivante :

$$p=4, q=13, n=8, k=1$$

Le retard de $13T/100$ est alors obtenu avec seulement huit cellules de retard. Ce résultat est à comparer avec le résultat obtenu selon l'art antérieur où cent cellules de retard sont nécessaires (cf. ci-dessus).

Un autre exemple peut être donné pour l'obtention d'un retard de $14T/121$. La solution suivante est alors obtenue :

$$p=5, q=7, n=18, k=2.$$

Dans cet exemple, le nombre de cellules peut encore être réduit par la solution ci-dessous :

$$p=5, q=14, n=9, k=1.$$

Neuf cellules sont alors avantageusement suffisantes.

Un exemple de boucle DLL selon le premier mode de réalisation de l'invention va maintenant être décrit en référence à la figure 3.

Selon l'exemple de la figure 3, les moyens de multiplexage 4 comprennent un multiplexeur 5 et un

modulateur sigma delta 6. Le modulateur sigma delta 6 comprend une entrée d'horloge et une entrée de signal. Le signal d'horloge H est appliqué sur l'entrée d'horloge et l'information I est appliqué sur l'entrée
5 de signal. Le modulateur sigma delta 6 convertit, au rythme du signal d'horloge H, l'information I en un signal de commande numérique C. Le signal de commande numérique C commande la commutation du multiplexeur 5. Un avantage de l'utilisation d'un modulateur sigma
10 delta est de réduire le bruit de l'information de commande de commutation.

Dans le cas, par exemple, d'une boucle DLL fractionnaire simple, pour générer un séquençement correct des signaux à appliquer au détecteur de
15 phase/fréquence, l'information I appliquée au modulateur sigma delta est égale à une valeur fractionnaire p/q , comme cela a été mentionné précédemment. Le signal C délivré en sortie du modulateur prend deux états différents (un état +1 pour
20 choisir le signal an et un état 0 pour choisir le signal an-1) de telle sorte que la valeur moyenne du signal C soit égale à p/q , à l'erreur de quantification près (une optimisation du modulateur permet cependant de réduire cette erreur de quantification). Il est
25 alors possible d'obtenir un retard moyen de la boucle égal à la quantité $(n-p/q)\Delta t$, ce qui est le but recherché.

Une boucle DLL selon le premier mode de réalisation de l'invention n'est bien sûr pas limitée à
30 l'exemple de boucle DLL fractionnaire simple mentionné ci-dessus. De façon plus générale, l'utilisation d'un

modulateur sigma delta avec un quantificateur multibit conduit à pouvoir choisir entre les n sorties de retard de la boucle DLL, n étant un nombre supérieur ou égal à 2.

5 Il est également possible, selon l'invention, d'appliquer une information I variable en entrée du modulateur sigma delta. On obtient alors un retard ou une fréquence modulé par une grandeur variable contenue dans l'information I . Le nombre NC de cellules de retard utilisées est alors une grandeur variable qui
10 module le retard Δt d'une cellule élémentaire. L'invention peut ainsi être mise en oeuvre pour générer un retard variable utilisé pour générer un signal de modulation PPM (PMM pour « Pulse Position Modulation »)
15 utilisé dans en technologie UWB (UWB pour « Ultra Wide Band »).

La figure 4 représente un deuxième mode de réalisation de boucle de verrouillage de retard selon l'invention.

20 Outre les circuits représentés en figure 1, la boucle à verrouillage de retard de la figure 4 comprend un premier ensemble d'interrupteurs I_{qi} ($i=1, 2, \dots, n$), un deuxième ensemble d'interrupteurs I_{pi} ($i=1, 2, \dots, n$) et un circuit de commande 7. Chaque interrupteur
25 I_{pi} est placé en sortie du retard R_i et chaque interrupteur I_{qi} est placé en parallèle de l'ensemble formé par le retard R_i et l'interrupteur I_{pi} .

Les interrupteurs I_{pi} et I_{qi} sont commandés par les signaux de commande respectifs p_i et q_i . Le circuit
30 de commande 7 comprend une entrée d'horloge et une entrée de commande sur lesquelles sont respectivement

appliqués un signal d'horloge H et un signal de commande I. Les signaux p_i et q_i sont issus du circuit de commande 7. A chaque coup de l'horloge H, le circuit de commande 7 délivre une combinaison de signaux de commande p_i , q_i , aptes à ouvrir ou fermer les interrupteurs respectifs I_{p_i} , I_{q_i} . Il est alors possible de retirer un ou plusieurs retards quelconque de la boucle de retards. Si la sortie de la boucle de retard doit osciller, par exemple, entre les signaux a_n et a_{n-1} , il est alors possible de court-circuiter alternativement chacune des cellules de retard suivant un algorithme adapté à cette fin (algorithme aléatoire, algorithme à mise en forme de bruit, etc.). Cela permet avantageusement de réduire l'influence de la dispersion des retards entre chacune des cellules de retard. En effet, par exemple, au cas où la dernière cellule de retard R_n présente un retard sensiblement différent du retard des autres cellules, l'influence de cette cellule sera différente de celles des autres cellules du fait de sa commutation hors boucle.

Une boucle à verrouillage de retard selon le deuxième mode de réalisation de l'invention présente les mêmes avantages qu'une boucle à verrouillage de retard selon le premier mode de réalisation. A titre d'exemple non limitatif, il est ainsi possible de réaliser une boucle DLL fractionnaire simple utilisant deux signaux de retard successifs, par exemple, les signaux a_{n-1} et a_n . La valeur du retard Δt d'une cellule élémentaire est alors donnée par la relation :

$$\Delta t = q \cdot T / (qn - p),$$

où les grandeurs p , q , n et T sont les grandeurs

définies précédemment.

De même, le circuit de commande 7 peut être constitué d'un modulateur sigma delta et d'un circuit de commande numérique (non représentés sur les figures). Les signaux d'horloge H et de commande I sont appliqués sur le modulateur sigma delta et un signal de commande numérique C délivré par le modulateur sigma delta est appliqué au circuit de commande numérique.

Selon un perfectionnement du deuxième mode de réalisation de l'invention, il est possible de rajouter des interrupteurs et des charges commutables en entrée et en sortie des différentes cellules de retard: de sorte que, quel que soit le retard programmé, le nombre d'interrupteurs traversés soit toujours le même et que chaque cellule de retard voit toujours la même charge sur son entrée et sur sa sortie.

Dans le cadre d'une réalisation de boucle à verrouillage de retard en technologie sur silicium, et quel que soit le mode de réalisation de l'invention, la précision du retard généré ou de la fréquence synthétisée est fonction de l'appariement qui existe entre les différentes cellules de retard. Le nombre de cellules de retard d'une boucle à verrouillage selon l'invention étant très sensiblement réduit par rapport au nombre de cellules de retard d'une boucle à verrouillage selon l'art antérieur, la contrainte de temps de propagation d'une cellule de retard élémentaire peut être réduite. Il est alors possible d'augmenter la surface des composants utilisés pour réaliser une cellule de retard élémentaire, ce qui a pour effet avantageux d'augmenter la précision de la

boucle.

De même, quel que soit son mode de réalisation, une boucle à verrouillage de retard selon l'invention permet avantageusement de générer des retards qui ne
5 sont pas des multiples entiers du délai minimum T_{min} tout en travaillant à la fréquence maximale d'utilisation.

D'une façon générale, le grand nombre de degrés de liberté d'une boucle DLL selon l'invention
10 comparativement au nombre de degrés de liberté d'une boucle DLL selon l'art antérieur permet d'étendre et d'améliorer très sensiblement les performances de la boucle.

L'invention est avantageusement réalisée si
15 elle utilise les techniques classiques d'intégration VLSI sur silicium.

La figure 5A et 5B représentent un perfectionnement de la boucle à verrouillage de retard selon, respectivement, le premier mode de réalisation
20 de l'invention et le deuxième mode de réalisation de l'invention.

Le fonctionnement d'une boucle à verrouillage de retard comprend deux phases distinctes : une phase d'accrochage et une phase durant laquelle le délai
25 élémentaire ne varie plus.

Le retard généré par chacune des cellules de la boucle de retard a une limite inférieure et une limite supérieure. Lors de la phase d'accrochage, un problème de convergence peut alors apparaître, particulièrement
30 lorsque les contraintes d'accrochage sont sévères. Ce problème de convergence peut également apparaître du

fait de la grande dispersion des délais élémentaires des différentes cellules lorsque la boucle à verrouillage de retard est réalisée en technologie sur silicium. Lors de la phase d'accrochage, une boucle à verrouillage de retard peut alors se trouver dans un état de blocage lorsque le retard minimum de chaque cellule est atteint et que le retard global est encore trop élevé. La boucle à verrouillage de retard selon le perfectionnement de l'invention représenté aux figures 5A et 5B permet de supprimer cet inconvénient.

Selon le perfectionnement de l'invention, la boucle à verrouillage de retard comprend, en plus des éléments précédemment décrits, un dispositif d'analyse de convergence 8, un commutateur 9 et un circuit de traitement 10. L'entrée du dispositif d'analyse de convergence 8 est reliée à la sortie du détecteur de phase/fréquence 1. Le commutateur 9 comprend deux entrées de signal, une entrée de commande et une sortie. Une première entrée de signal du commutateur 9 est reliée à la sortie du dispositif d'analyse de convergence 8 alors que l'information I mentionnée précédemment est appliquée sur la deuxième entrée de signal. La sortie du commutateur 9 est reliée à l'entrée du circuit de traitement 10 dont la sortie est reliée à l'entrée de commande des moyens de multiplexage 4 (cas de la figure 5A) ou à l'entrée de commande du circuit de commande 7 (cas de la figure 5B).

Le dispositif d'analyse de convergence 8 délivre sur sa sortie une information qui mesure l'état de stabilité et de convergence de la boucle. Le

dispositif d'analyse de convergence 8 délivre également le signal de commande du commutateur 9.

Durant la phase d'accrochage, le commutateur 9 est commandé de sorte que la sortie du dispositif d'analyse de convergence 8 soit reliée, via le circuit de traitement 10, à l'entrée de commande des moyens de multiplexage 4 (cas de la figure 5A) ou à l'entrée de commande du circuit de commande 7 (cas de la figure 5B). Le circuit de traitement 10 utilise les informations de convergence issues du dispositif 8 pour indiquer aux moyens de multiplexage 4 ou au circuit de commande 7 s'il doit augmenter ou diminuer le nombre de cellules dans la boucle. Le signal S issu du circuit de traitement 10 constitue alors une commande permettant de sélectionner un nombre de cellules de retard apte à éviter le blocage de la boucle.

Lorsque la phase d'accrochage est terminée, le commutateur 9 est commandé de sorte que l'entrée du circuit de traitement 10 soit reliée à l'information I précédemment mentionnée. L'information I est alors traitée par le circuit 10 en fonction du nombre de cellules de retard sélectionné pendant la phase d'accrochage. Le circuit de traitement 10 aura donc auparavant mémorisé le nombre de cellules sélectionnées pour obtenir la convergence. Le signal S appliqué sur l'entrée de commande des moyens de multiplexage 4 (cas de la figure 5A) ou sur l'entrée de commande du circuit de commande 7 (cas de la figure 5B) est alors obtenu à partir de l'information I et du nombre de cellules mémorisées.

REVENDICATIONS

1. Boucle à verrouillage de retard comprenant une chaîne de cellules de retard (R_1 , R_2 ,, R_n) montées en série, un signal de retard délivré par la
5 boucle étant prélevé sur la sortie de l'une des cellules de retard, l'entrée de la chaîne de cellules de retard étant connectée à une première entrée d'un détecteur de phase/fréquence (1) dont une deuxième
10 entrée est connectée à une sortie de cellule de retard, caractérisée en ce qu'elle comprend des moyens de commande (4, 7) aptes à modifier, au rythme d'un signal d'horloge (H) et sous l'action d'une information de commande (I), la sortie de la cellule de retard qui
15 est connectée à la deuxième entrée du détecteur phase/fréquence (1).

2. Boucle à verrouillage de retard selon la revendication 1, caractérisée en ce que les moyens de commande comprennent des moyens de multiplexage (4) ayant n entrées et une sortie, chaque entrée des moyens
20 de multiplexage (4) étant reliée à une sortie de cellule de retard différente, la sortie des moyens de multiplexage étant reliée à la deuxième entrée du détecteur phase/fréquence.

3. Boucle à verrouillage de phase selon la revendication 2, caractérisée en ce que les moyens de multiplexage (4) comprennent un multiplexeur (5) et un modulateur sigma delta (6) ayant une entrée d'horloge
25 sur laquelle est appliqué le signal d'horloge (H) et une entrée de signal sur laquelle est appliquée l'information de commande (I), le modulateur sigma
30

delta (6) délivrant un signal de commande numérique appliqué au multiplexeur (5).

4. Boucle à verrouillage de retard selon la revendication 1, caractérisée en ce que les moyens de commande comprennent un premier ensemble d'interrupteurs I_{qi} ($i=1, 2, \dots, n$), un deuxième ensemble d'interrupteurs I_{pi} ($i=1, 2, \dots, n$) et un circuit de commande (7) ayant une entrée d'horloge sur laquelle est appliqué le signal d'horloge (H) et une entrée de commande sur laquelle est appliquée l'information de commande (I), l'interrupteur I_{pi} étant placé en sortie de la cellule de retard R_i de rang i et l'interrupteur I_{qi} étant placé en parallèle de l'ensemble formé par la cellule de retard R_i de rang i et par l'interrupteur I_{pi} , les interrupteurs I_{pi} et I_{qi} étant commandés par des signaux de commande respectifs p_i et q_i issus du circuit de commande (7).

5. Boucle à verrouillage de retard selon la revendication 4, caractérisée en ce que des interrupteurs et des charges commutables sont placées en entrée et en sortie des différentes cellules de retard (R_1, R_2, \dots, R_n) de sorte que, lors du fonctionnement de la boucle, le nombre total d'interrupteurs utilisés dans la boucle soit constant et que chaque cellule de retard voit toujours la même charge sur son entrée et sur sa sortie.

6. Boucle à verrouillage de retard selon l'une quelconque des revendications 4 ou 5, caractérisée en ce que le circuit de commande (7) comprend un modulateur sigma delta ayant une entrée d'horloge sur

laquelle est appliquée le signal d'horloge (H) et une entrée de signal sur laquelle est appliquée le signal de commande (I) et un circuit de commande numérique sur lequel est appliqué un signal de commande numérique
5 délivré par le modulateur sigma delta.

7. Boucle à verrouillage de retard selon l'une quelconque des revendications précédentes, caractérisée en ce que l'information de commande (I) est une valeur fractionnaire p/q de sorte que la sortie de la chaîne
10 de retard est constituée par la sortie de la cellule de retard de rang $n-1$ pendant p coups d'horloge et par la sortie de la cellule de retard de rang n pendant q coups d'horloge, p et q étant deux nombres entiers, q étant supérieur à p , et que la valeur du retard d'une
15 cellule de retard est donnée par la formule :

$$\Delta t = q T / (qn - p), \text{ où}$$

T est la période d'un signal appliqué en entrée de la chaîne de retard.

8. Boucle à verrouillage de retard selon l'une
20 quelconque des revendications précédentes, caractérisée en ce que le signal d'horloge (H) est, à un retard près, identique à un signal appliqué sur la première entrée du détecteur de phase/fréquence (1).

9. Boucle à verrouillage de retard selon l'une
25 quelconque des revendications 1 à 7, caractérisée en ce que le signal d'horloge (H) est un signal dont la période est inférieure à la période du signal appliqué sur la première entrée du détecteur de phase/fréquence

(1).

10. Boucle à verrouillage de retard selon l'une quelconque des revendications 1 à 9, caractérisée en ce qu'elle comprend des moyens (8, 9, 10) pour
5 sélectionner, pendant une phase d'accrochage de la boucle, un nombre de cellules de retard apte à éviter un blocage de la boucle.

11. Boucle à verrouillage de retard selon la revendication 10, caractérisée en ce que les moyens (8,
10 9, 10) pour sélectionner, pendant une phase d'accrochage de la boucle, le nombre de cellules de retard apte à éviter un blocage de la boucle comprennent un dispositif d'analyse de convergence 8, un commutateur (9) et un circuit de traitement (10),
15 l'entrée du dispositif d'analyse de convergence (8) étant reliée à la sortie du détecteur de phase/fréquence (1), le commutateur (9) étant commandé de façon à relier la sortie du dispositif de convergence (8) à l'entrée du circuit de traitement
20 (10), la sortie du circuit de traitement (10) étant reliée à une entrée de commande des moyens de commande (4, 7).

12. Boucle à verrouillage de retard selon la revendication 10 ou 11, caractérisée en ce qu'elle
25 comprend des moyens (10) pour mémoriser le nombre de cellules de retard sélectionné.

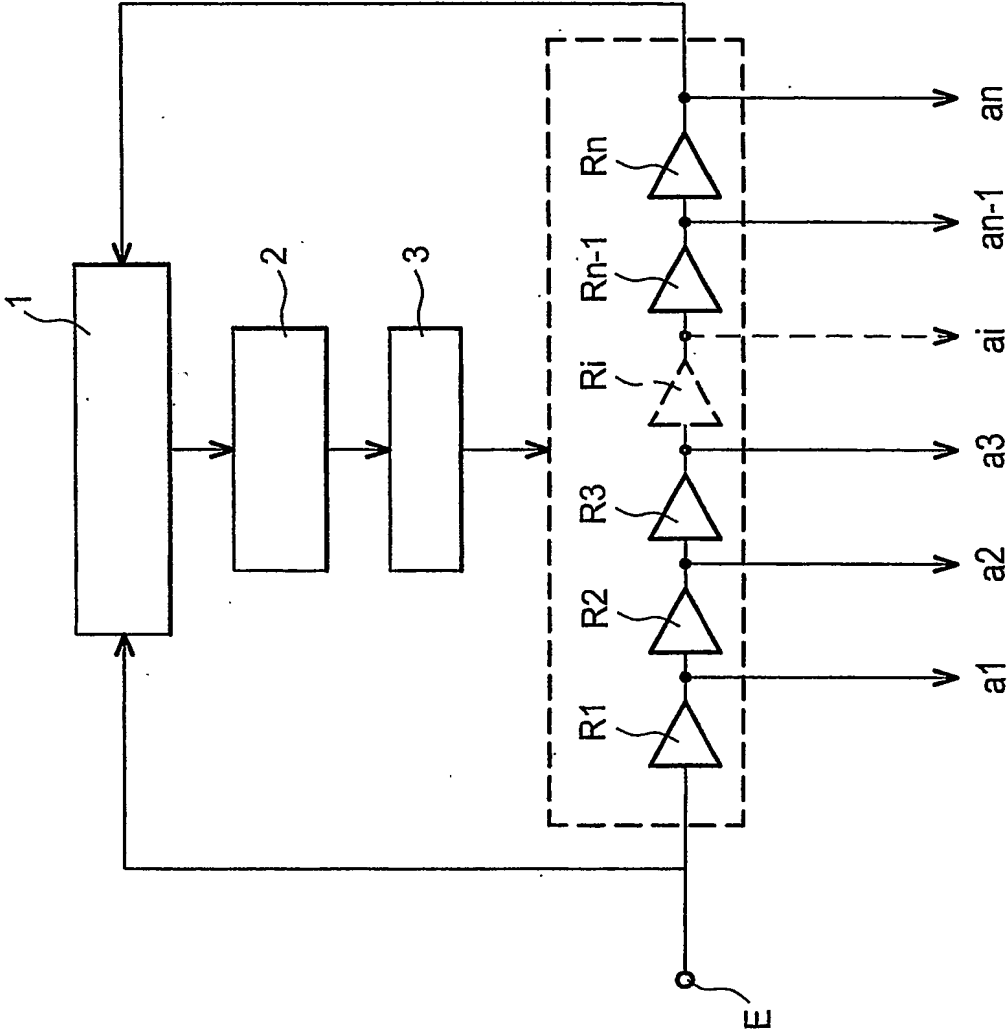


FIG. 1

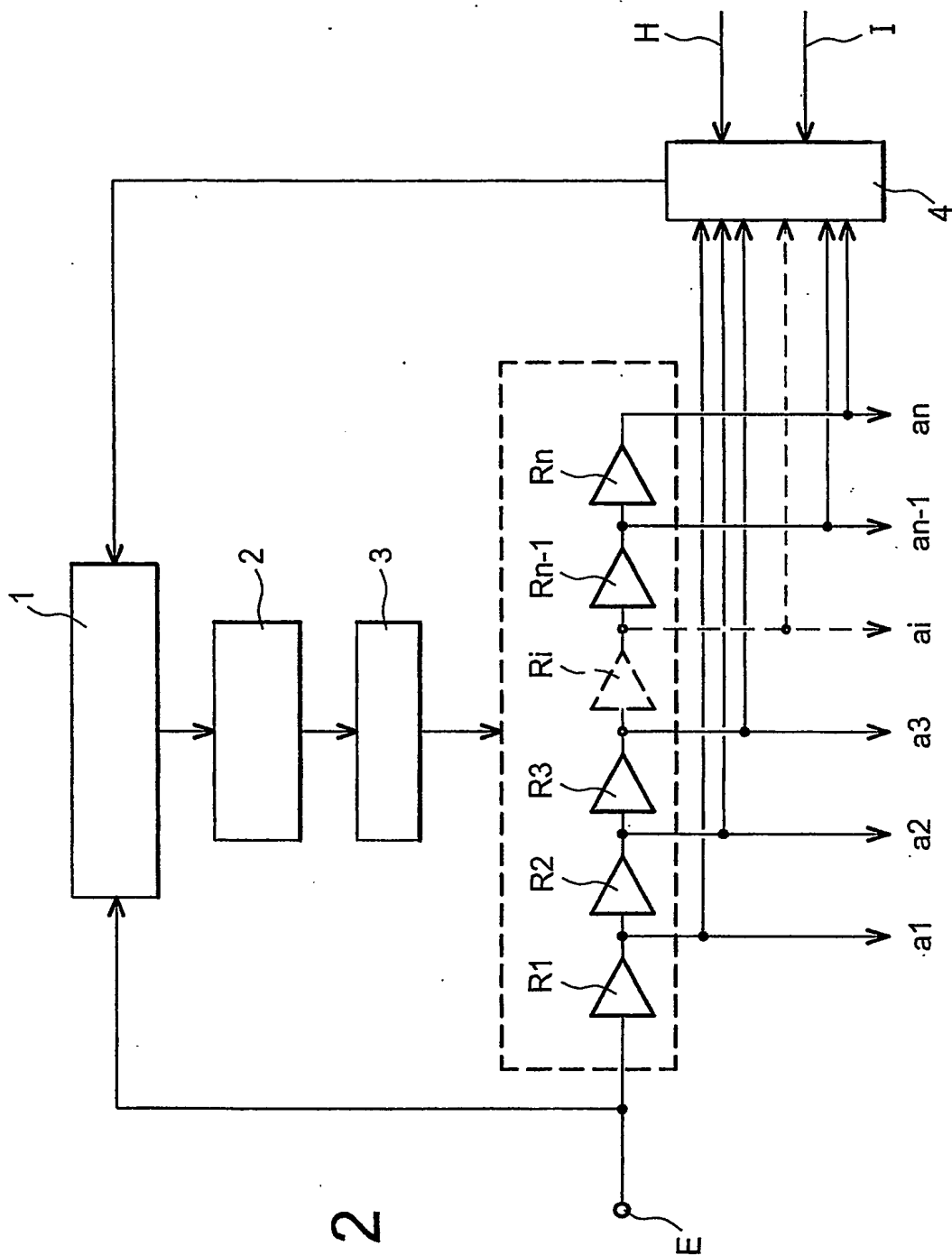
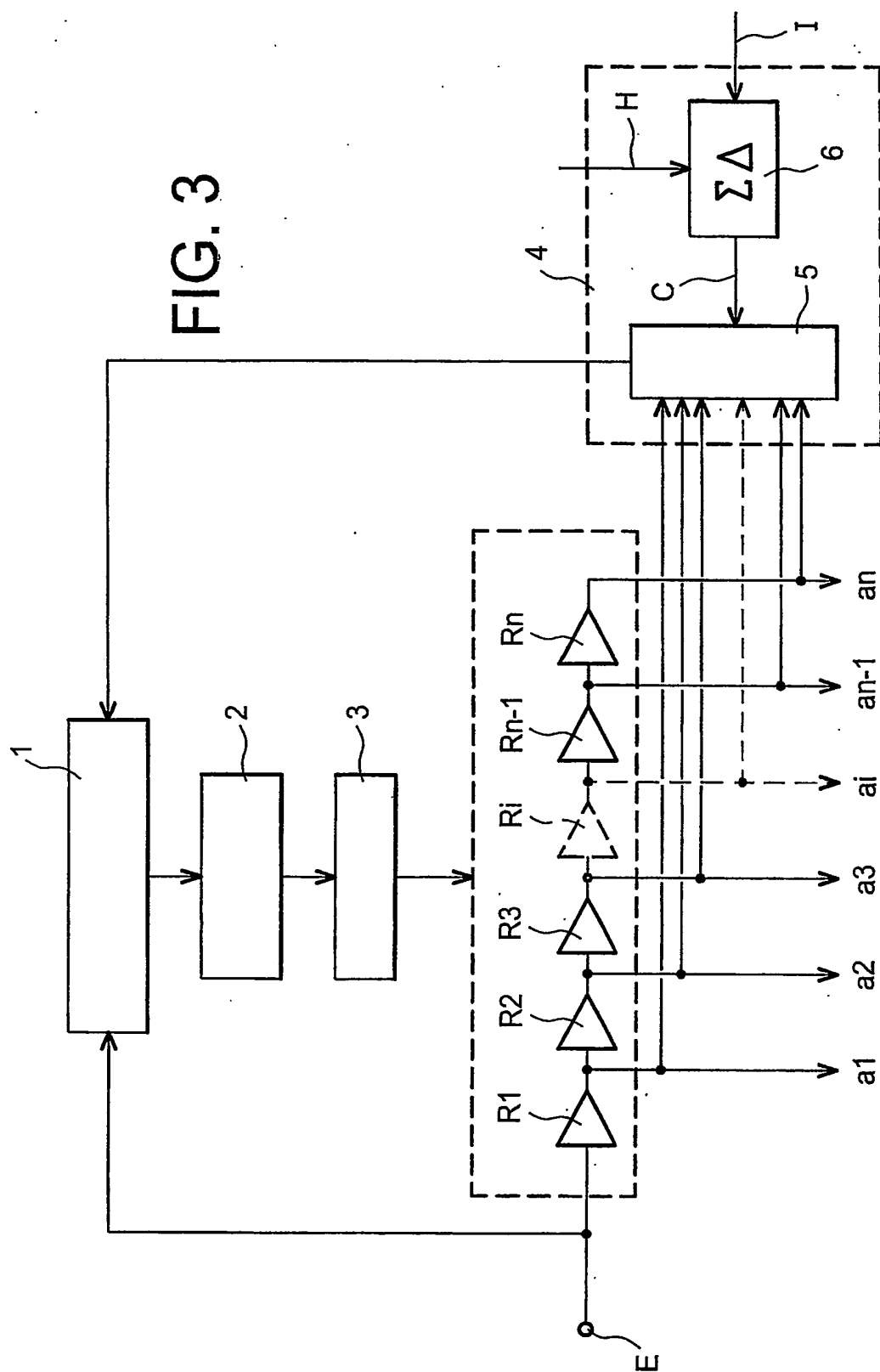


FIG. 2

FIG. 3



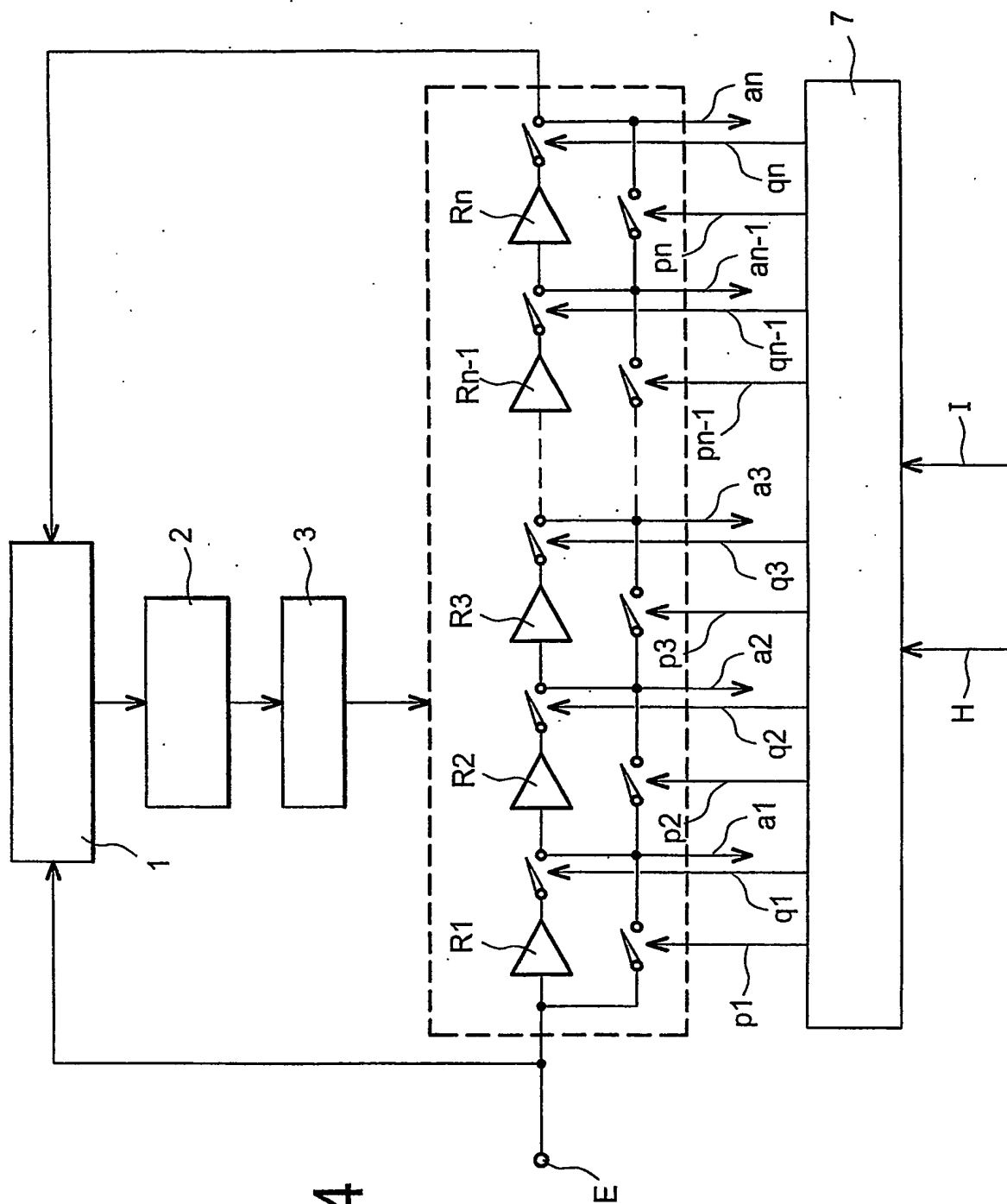
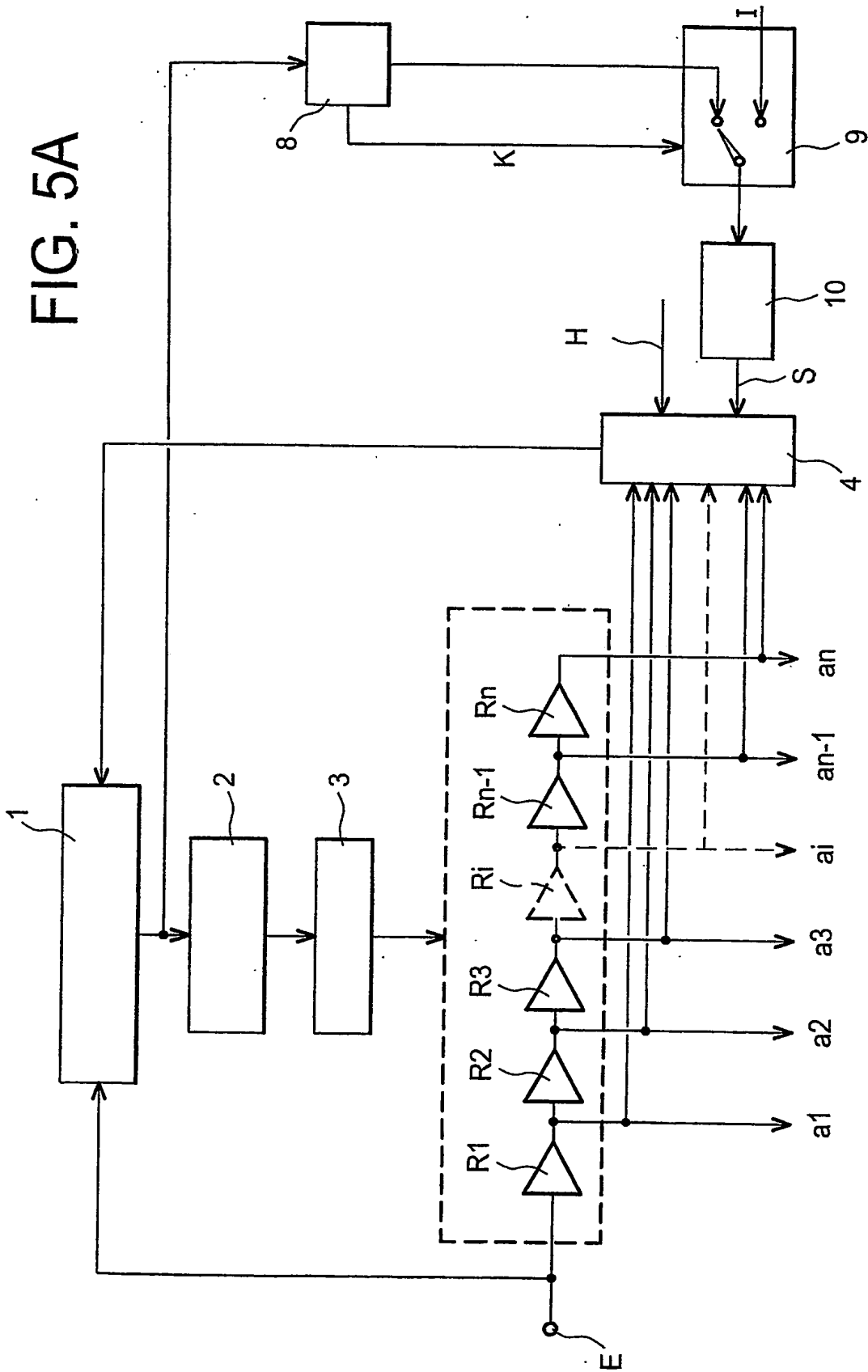


FIG. 4

FIG. 5A



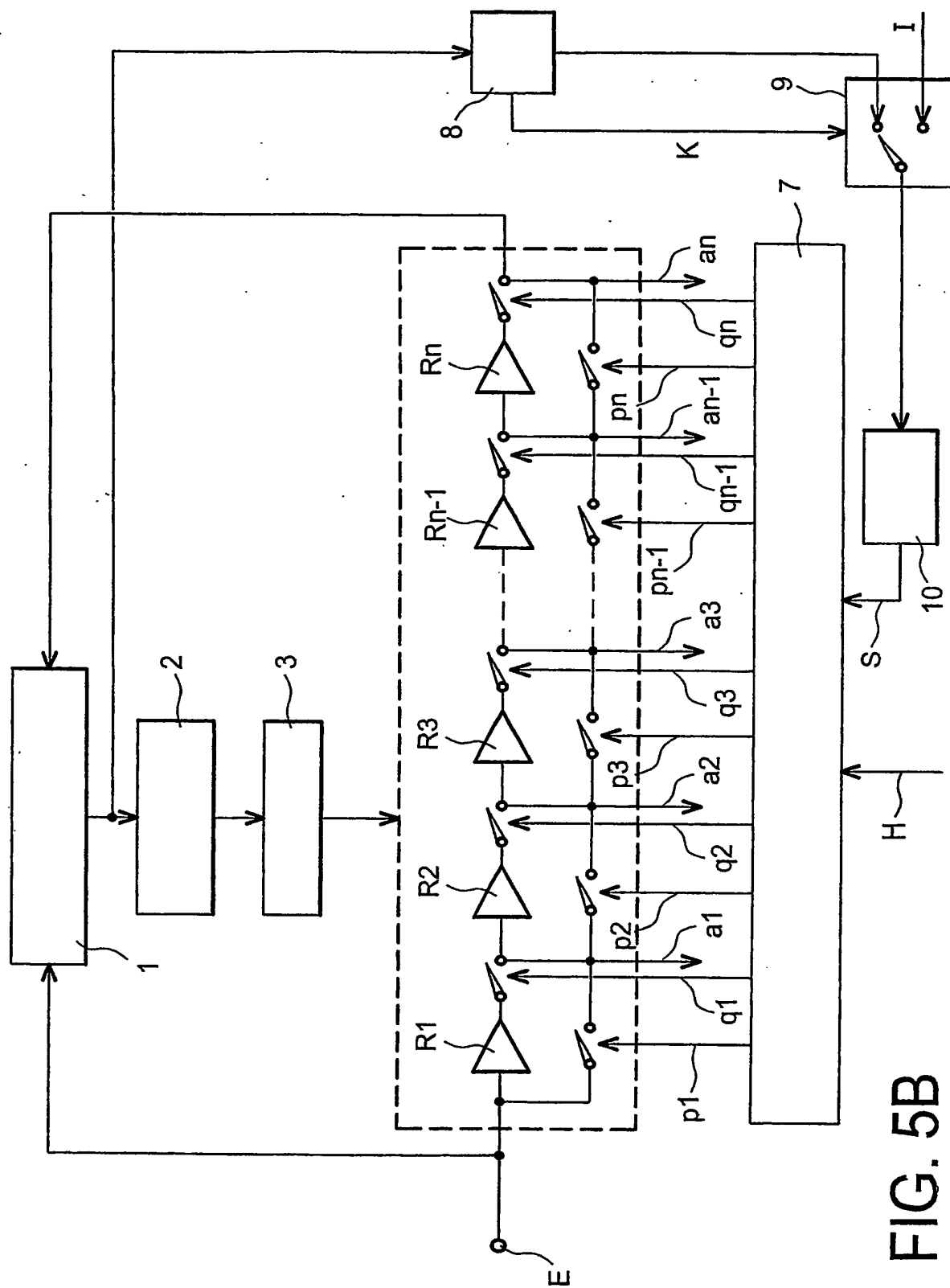


FIG. 5B

INTERNATIONAL SEARCH REPORT

International Application No. ...

PCT/FR 03/01858

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03L7/081

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 147 525 A (KITAGAWA NOBUTAKA ET AL) 14 November 2000 (2000-11-14) column 8, line 16 - line 65; figure 1	1-3,7-9
Y	WO 01 45263 A (BROADCOM CORP ; FALLAHI SIAVASH (US); WAKAYAMA MYLES (US); VORENKAM) 21 June 2001 (2001-06-21) page 4, line 16 -page 6, line 21; figures 4,5,7C,8C	1-3,7-9
A	US 6 154 073 A (CHOI JAE MYOUNG) 28 November 2000 (2000-11-28) column 3, line 29 -column 4, line 58; figures 3,4	1-12
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

8 October 2003

Date of mailing of the international search report

15/10/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Aouichi, M

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/FR 03/01858

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>US 5 889 436 A (WONG KERN WAI ET AL) 30 March 1999 (1999-03-30) column 6, line 26 -column 7, line 7; figure 8</p> <p>-----</p>	1-12

INTERNATIONAL SEARCH REPORT

tion of patent family members

International Application No.

PCT/FR 03/01858

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6147525	A	14-11-2000	JP 11163690 A	18-06-1999
WO 0145263	A	21-06-2001	AU 2100301 A	25-06-2001
			EP 1254517 A1	06-11-2002
			WO 0145263 A1	21-06-2001
			US 2003058009 A1	27-03-2003
			US 2002027459 A1	07-03-2002
US 6154073	A	28-11-2000	KR 264077 B1	16-08-2000
			JP 11316620 A	16-11-1999
			TW 502502 B	11-09-2002
US 5889436	A	30-03-1999	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No. :
PCT/FR 03/01858

A. CLASSEMENT DE L'OBJET DE LA DEMANDE CIB 7 H03L7/081		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) CIB 7 H03L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 6 147 525 A (KITAGAWA NOBUTAKA ET AL) 14 novembre 2000 (2000-11-14) colonne 8, ligne 16 - ligne 65; figure 1 ---	1-3,7-9
Y	WO 01 45263 A (BROADCOM CORP ;FALLAHI SIAVASH (US); WAKAYAMA MYLES (US); VORENKAM) 21 juin 2001 (2001-06-21) page 4, ligne 16 -page 6, ligne 21; figures 4,5,7C,8C ---	1-3,7-9
A	US 6 154 073 A (CHOI JAE MYOUNG) 28 novembre 2000 (2000-11-28) colonne 3, ligne 29 -colonne 4, ligne 58; figures 3,4 ---	1-12
-/--		
<div style="display: flex; justify-content: space-between;"> <input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe </div>		
* Catégories spéciales de documents cités:		
<div style="display: flex; justify-content: space-between;"> <div style="width: 48%;"> <p>*A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent</p> <p>*E* document antérieur, mais publié à la date de dépôt international ou après cette date</p> <p>*L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)</p> <p>*O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens</p> <p>*P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée</p> </div> <div style="width: 48%;"> <p>*T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention</p> <p>*X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément</p> <p>*Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier</p> <p>*Z* document qui fait partie de la même famille de brevets</p> </div> </div>		
Date à laquelle la recherche internationale a été effectivement achevée <div style="text-align: center; font-weight: bold;">8 octobre 2003</div>		Date d'expédition du présent rapport de recherche internationale <div style="text-align: center; font-weight: bold;">15/10/2003</div>
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tél. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Fonctionnaire autorisé <div style="text-align: center; font-weight: bold;">Aouichi, M</div>

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale
PCT/FR 03/01858

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>US 5 889 436 A (WONG KERN WAI ET AL) 30 mars 1999 (1999-03-30) colonne 6, ligne 26 - colonne 7, ligne 7; figure 8</p> <p>-----</p>	1-12

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs au

brevet familles de brevets

Demande internationale

No

PCT/FR 03/01858

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6147525	A	14-11-2000	JP 11163690 A	18-06-1999
WO 0145263	A	21-06-2001	AU 2100301 A	25-06-2001
			EP 1254517 A1	06-11-2002
			WO 0145263 A1	21-06-2001
			US 2003058009 A1	27-03-2003
			US 2002027459 A1	07-03-2002
US 6154073	A	28-11-2000	KR 264077 B1	16-08-2000
			JP 11316620 A	16-11-1999
			TW 502502 B	11-09-2002
US 5889436	A	30-03-1999	AUCUN	